

Rechnersysteme

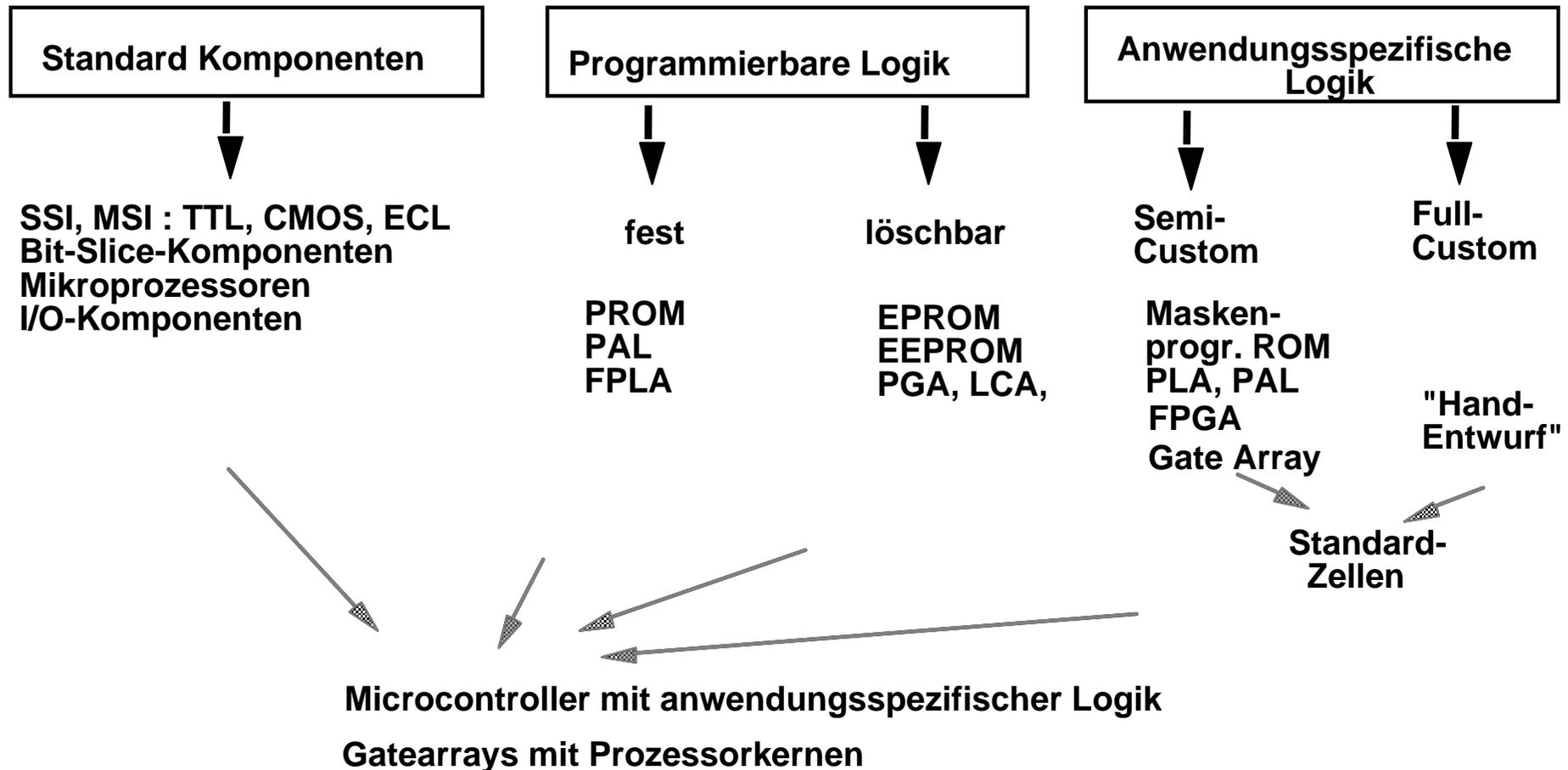
Programmierbare Komponenten



Jörg Kaiser
IVS – EOS

Otto-von-Guericke-Universität Magdeburg

Digitale Logikfamilien



Zur Erinnerung: Das universelle programmierbare Gatter

Die 16 zweistelligen Booleschen Funktionen

a	b	f0	f1	f2	f3	f4	f5	f6	f7	f8	f9	fA	fB	fC	fD	fE	fF
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

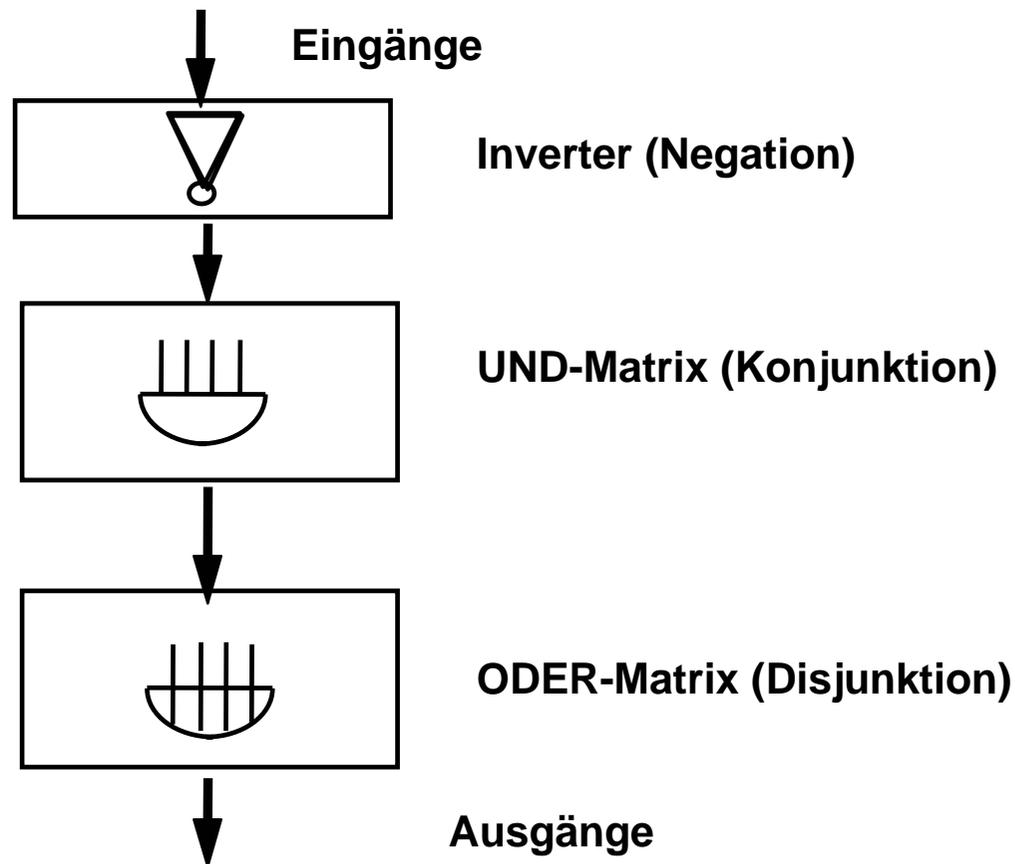
Implikation

f1: AND
 f6: EXOR
 f7: OR
 fE: NAND
 f8: NOR

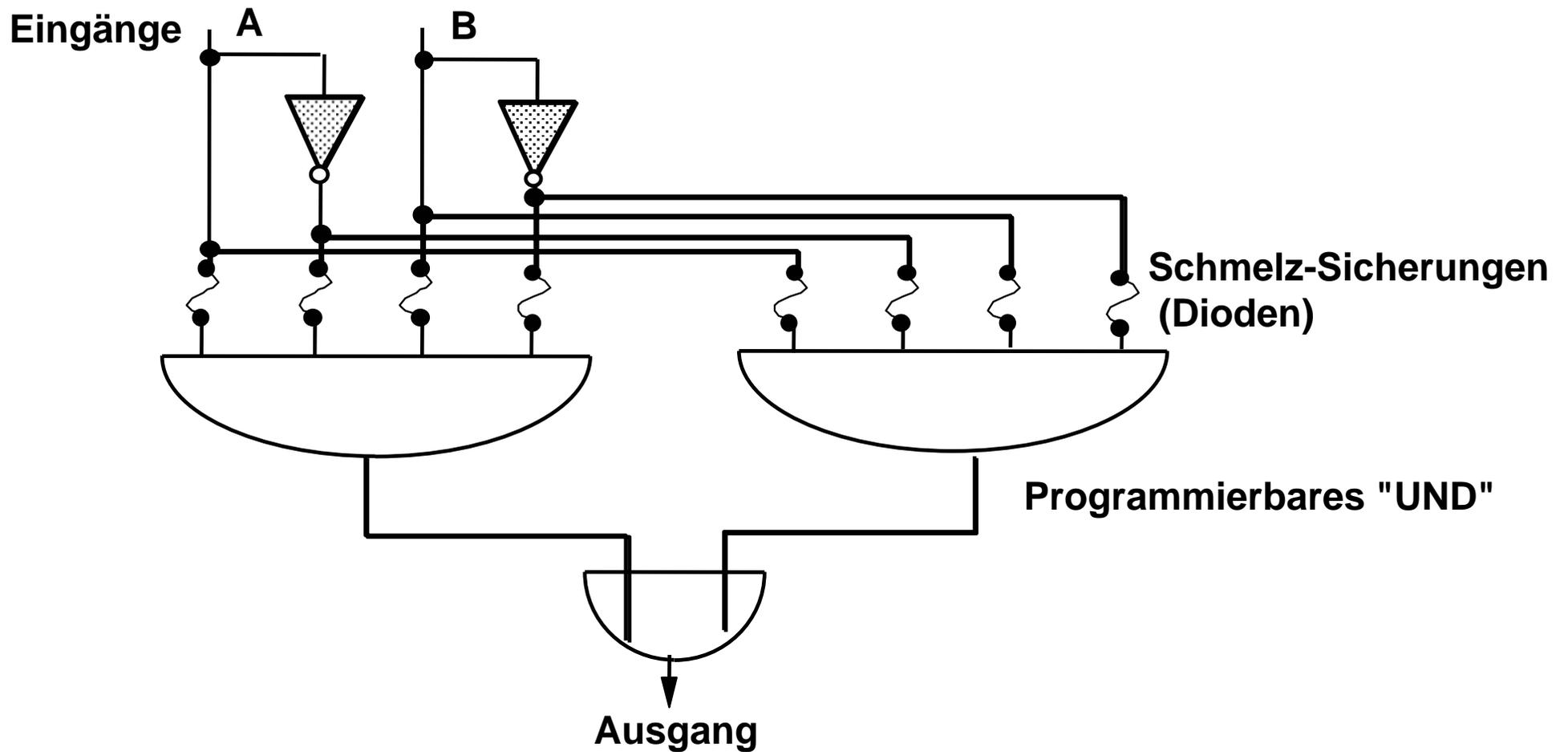


Bausteine zur Realisierung beliebiger Logikfunktionen (Grundstruktur)

Voraussetzung: Jede Boolesche Funktion kann in Disjunktiver Normalform (Summe von Produkten) dargestellt werden.



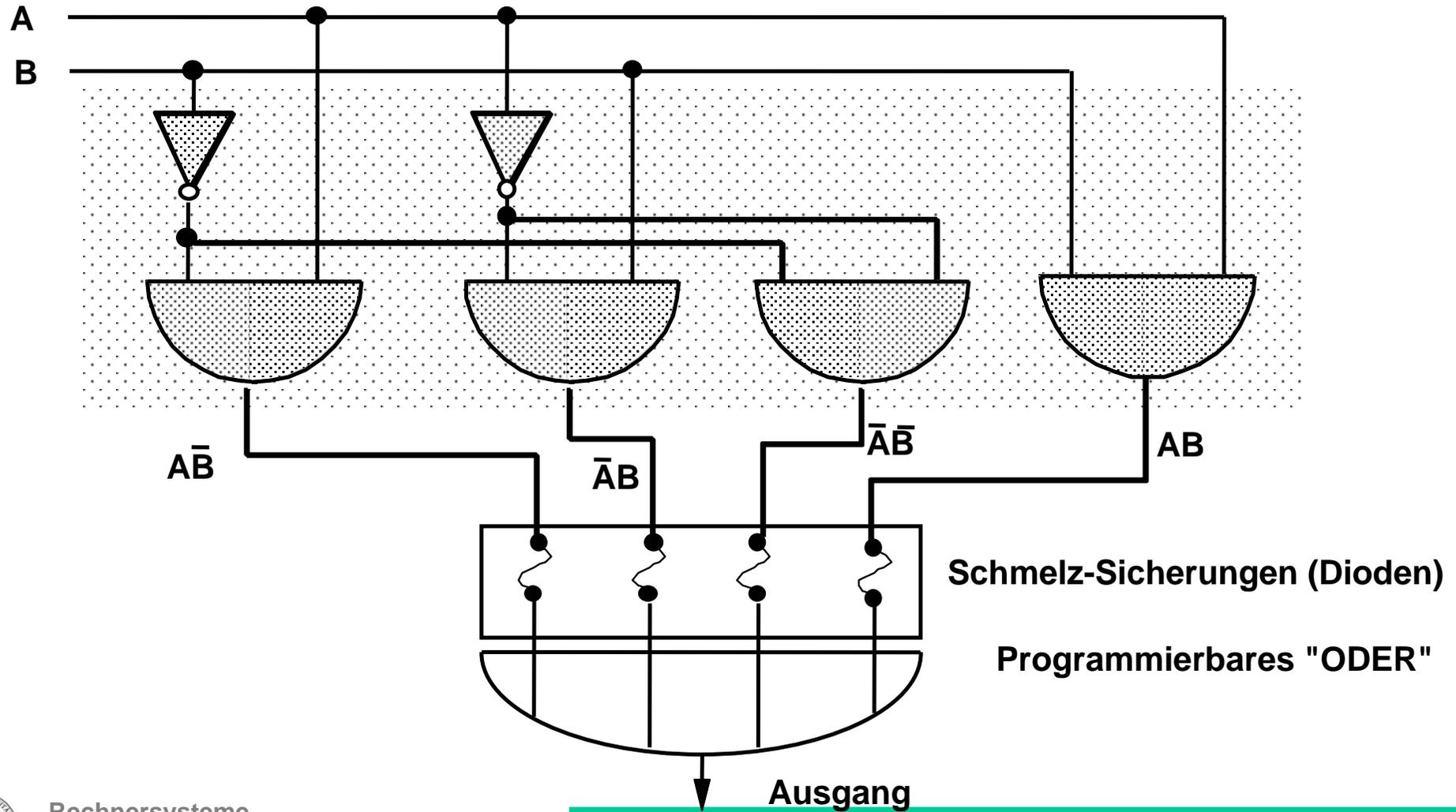
Universalgatter (PAL-Ansatz)



Universalgatter (PROM-Ansatz)

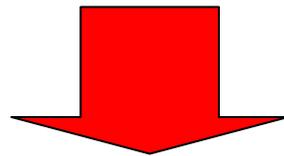
Eingänge

Feste, voll-dekodierte UND-Matrix (Decoder)



Einige charakteristische Merkmale für PALs:

- ➔ Die Anzahl der Eingänge bestimmt die Anzahl der möglichen Variablen.
- ➔ Die Anzahl der ODER-Verknüpfungen bestimmt die Anzahl der möglichen Terme in der disjunktiven Normalform.



- ➔ PAL, wenn viele Variablen und relative wenige Terme. Viele Eingangsbelegungen werden auf dieselbe Ausgangsbelegung abgebildet.
- ➔ ROM, wenn jede Eingangsbelegung auf eine individuelle Ausgangsbelegung abgebildet werden muss.



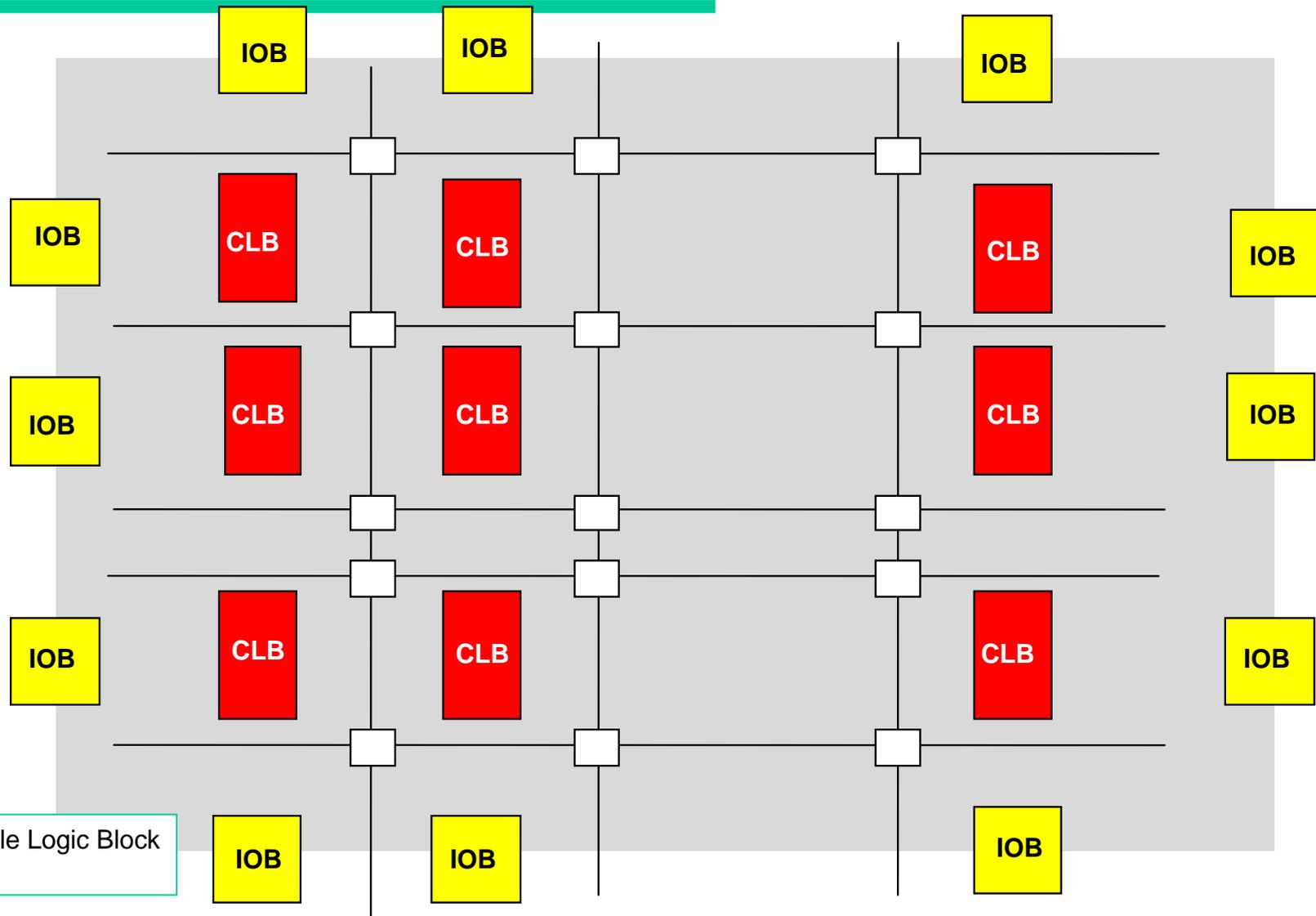
komplexer, komplexer, komplexer, komplexer, **komplexer, komplex**

vom PAL zum Gate Array

- ➔ Höhere Flexibilität
- ➔ Mehr Struktur
- ➔ Trennung von internen Funktionen und Ausgabe
- ➔ Komplexes Verbindungsnetzwerk
- ➔ Reprogrammierbarkeit



Die Struktur eines Gate Arrays



CLB: Configurable Logic Block
IOB: I/O Block

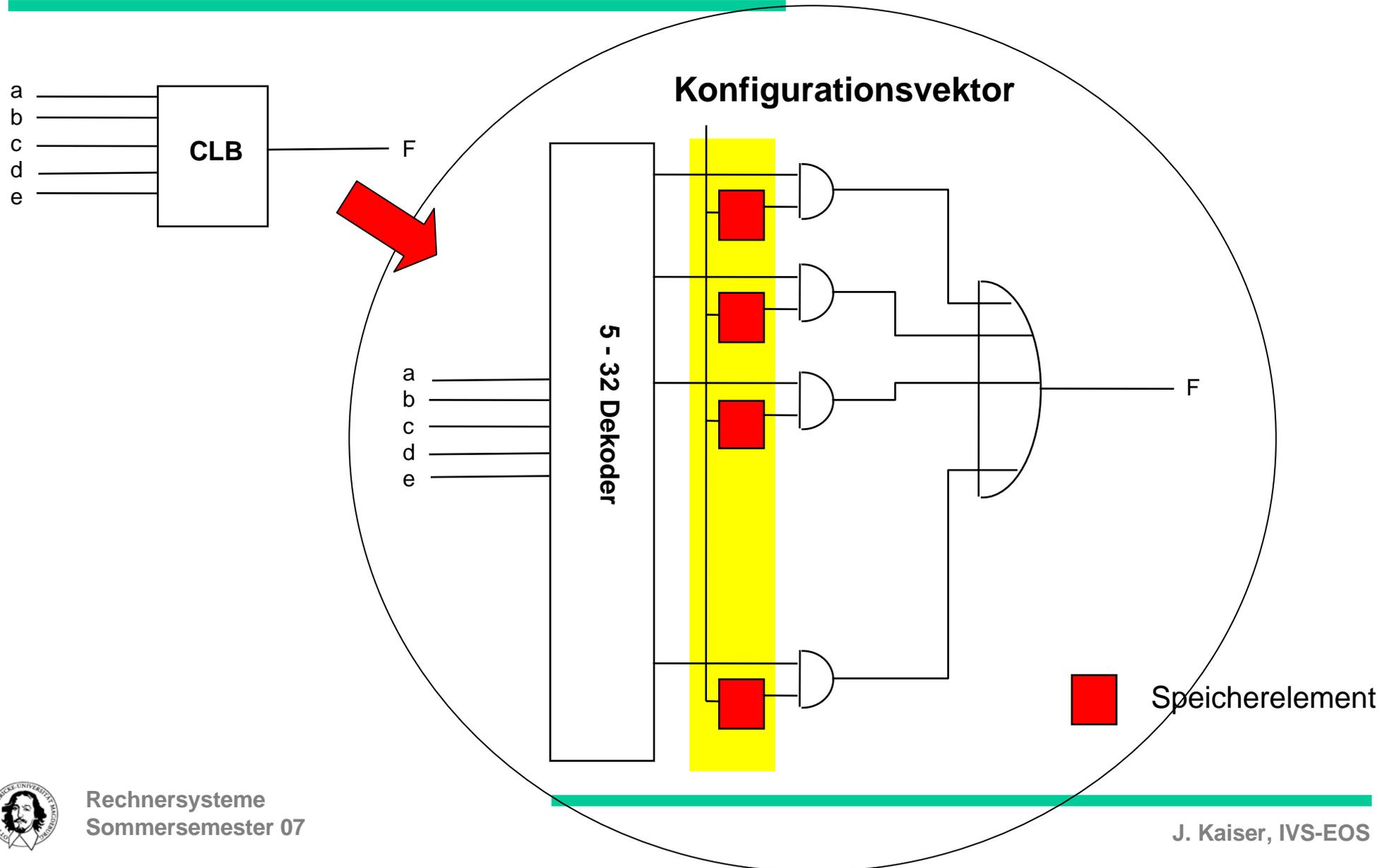


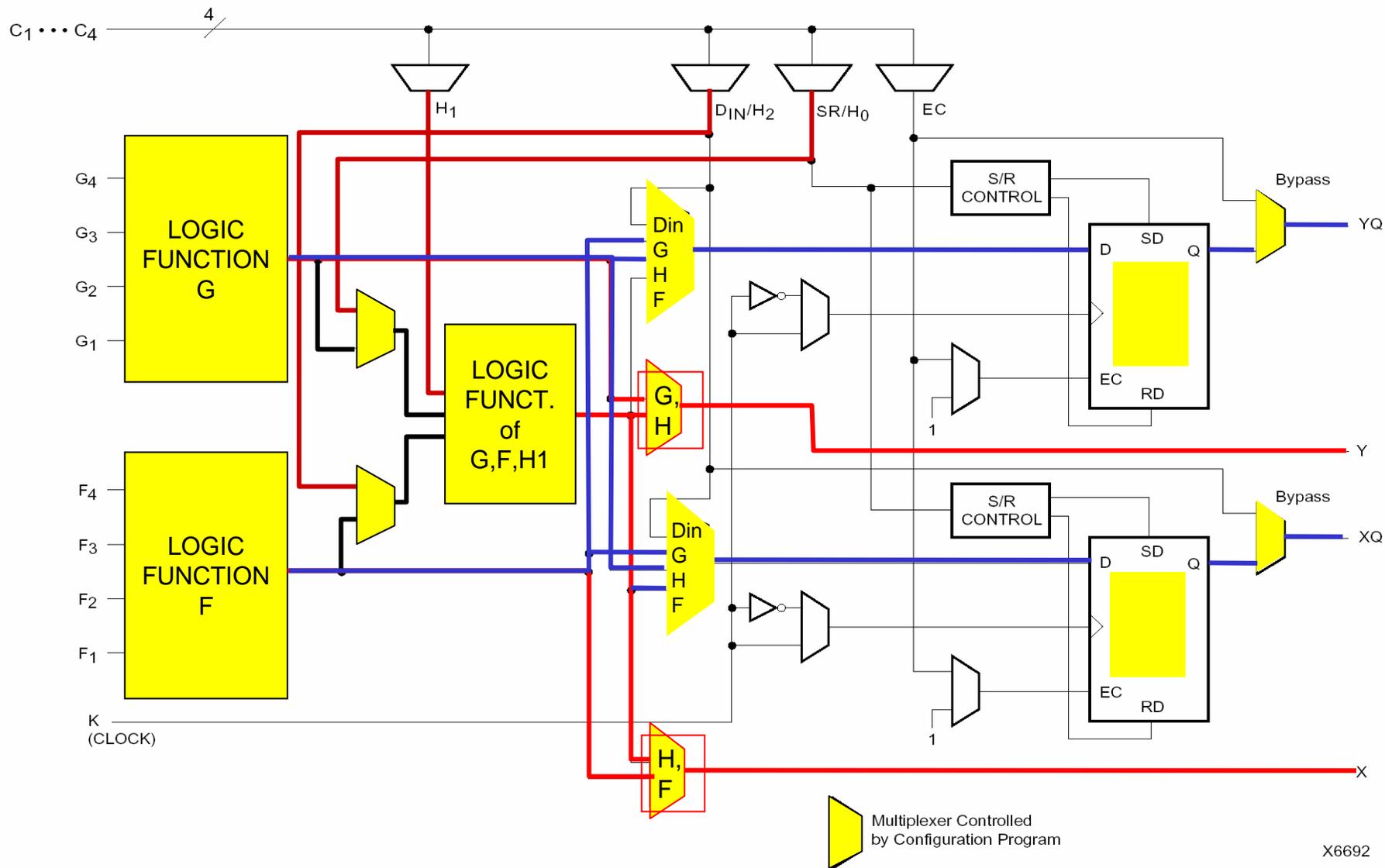
Device	Logic Cells	Max Logic Gates (No RAM)	Max. RAM Bits (No Logic)	Typical Gate Range (Logic and RAM)*	CLB Matrix	Total CLBs	Number of Flip-Flops	Max. User I/O
XC4002XL	152	1,600	2,048	1,000 - 3,000	8 x 8	64	256	64
XC4003E	238	3,000	3,200	2,000 - 5,000	10 x 10	100	360	80
XC4005E/XL	466	5,000	6,272	3,000 - 9,000	14 x 14	196	616	112
XC4006E	608	6,000	8,192	4,000 - 12,000	16 x 16	256	768	128
XC4008E	770	8,000	10,368	6,000 - 15,000	18 x 18	324	936	144
XC4010E/XL	950	10,000	12,800	7,000 - 20,000	20 x 20	400	1,120	160
XC4013E/XL	1368	13,000	18,432	10,000 - 30,000	24 x 24	576	1,536	192
XC4020E/XL	1862	20,000	25,088	13,000 - 40,000	28 x 28	784	2,016	224
XC4025E	2432	25,000	32,768	15,000 - 45,000	32 x 32	1,024	2,560	256
XC4028EX/XL	2432	28,000	32,768	18,000 - 50,000	32 x 32	1,024	2,560	256
XC4036EX/XL	3078	36,000	41,472	22,000 - 65,000	36 x 36	1,296	3,168	288
XC4044XL	3800	44,000	51,200	27,000 - 80,000	40 x 40	1,600	3,840	320
XC4052XL	4598	52,000	61,952	33,000 - 100,000	44 x 44	1,936	4,576	352
XC4062XL	5472	62,000	73,728	40,000 - 130,000	48 x 48	2,304	5,376	384
XC4085XL	7448	85,000	100,352	55,000 - 180,000	56 x 56	3,136	7,168	448

XILINX 4000 Serie



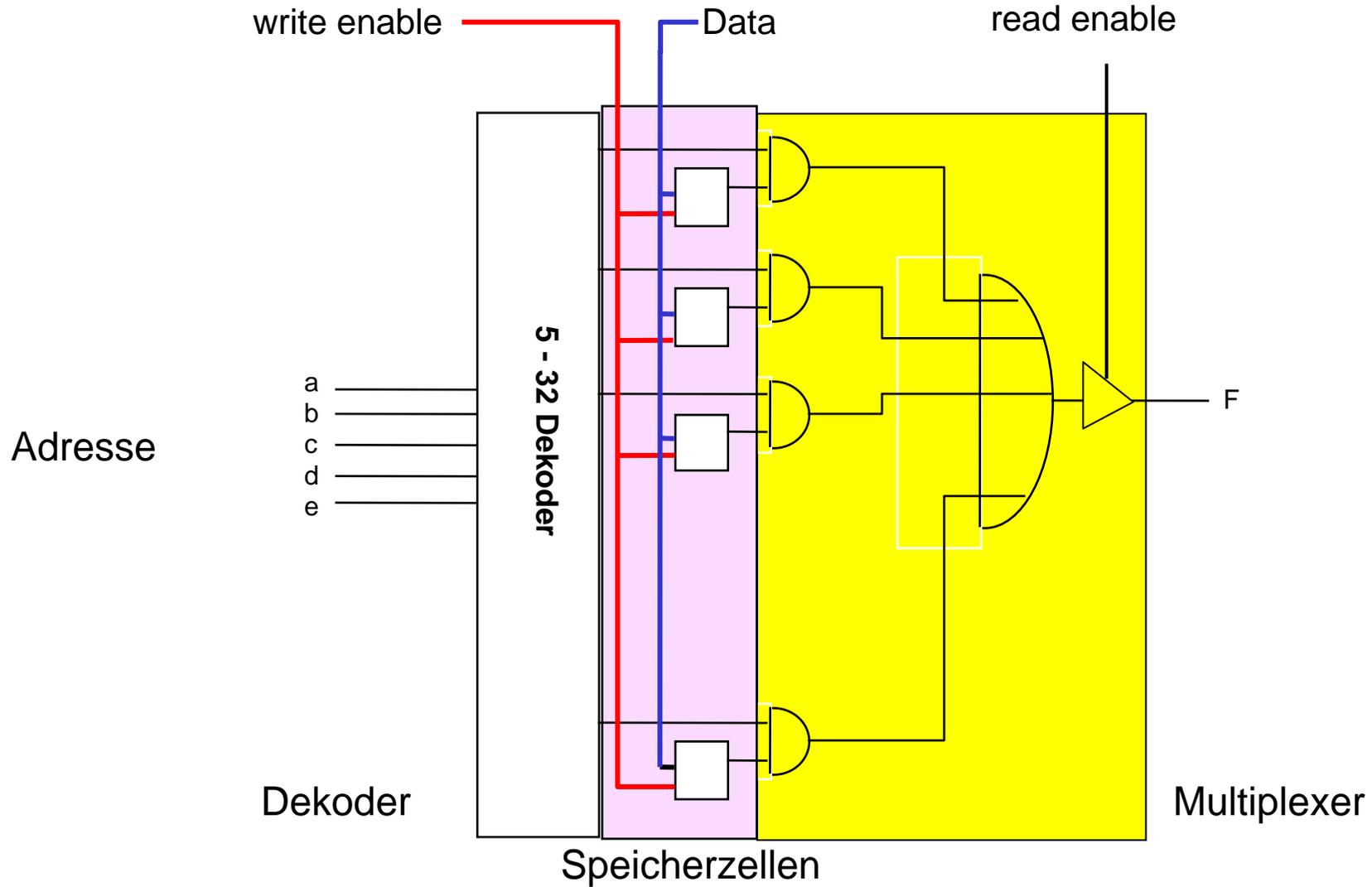
Der konfigurierbare logische Block (CLB)



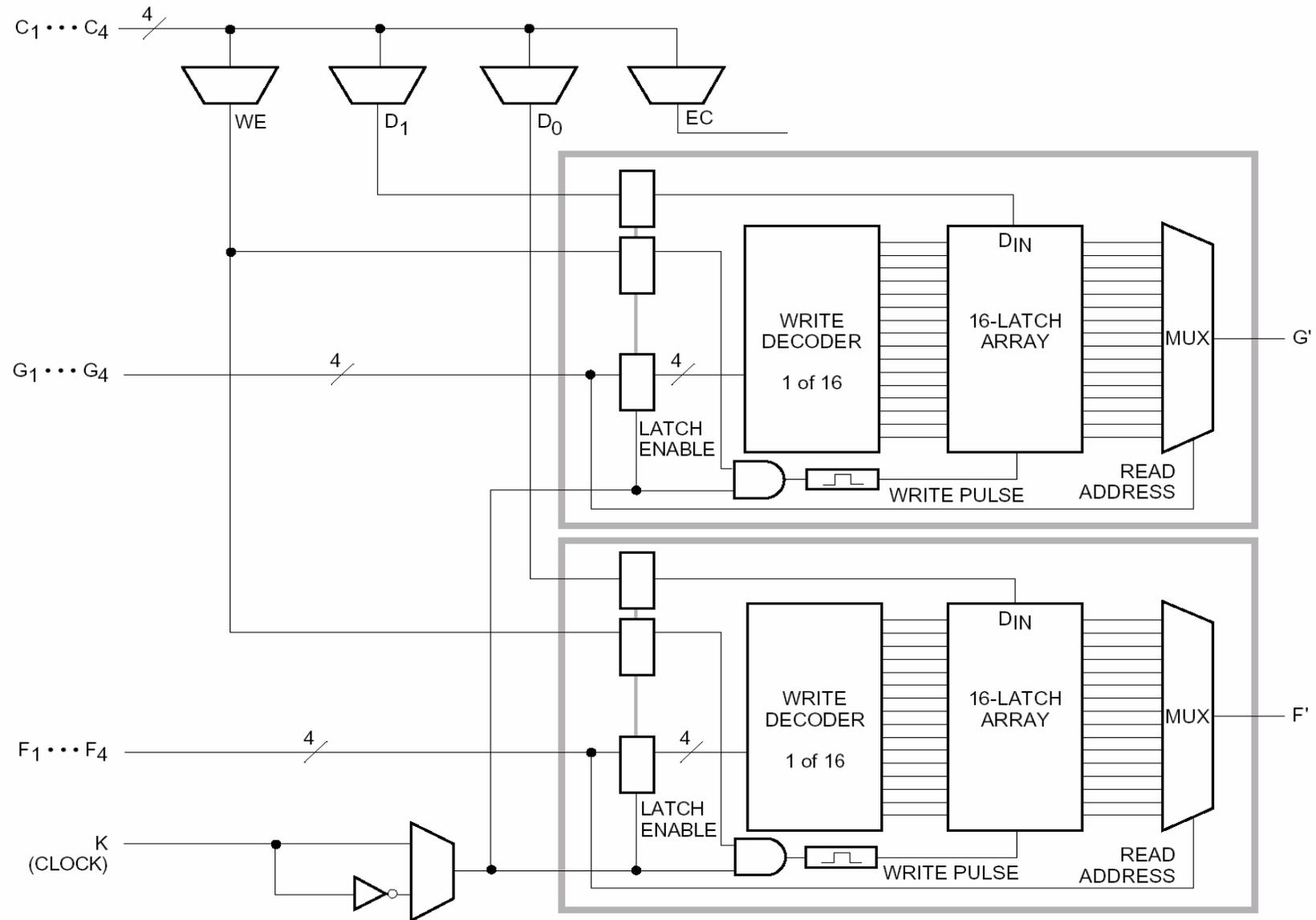


Vereinfachtes Blockdiagramm für einen „Configurable Logic Block“ (CLB) des XC4000

Der konfigurierbare logische Block (CLB) als Speicher



Ein konfigurierbarer Logischer Block (CLB) als Speicher



X6752



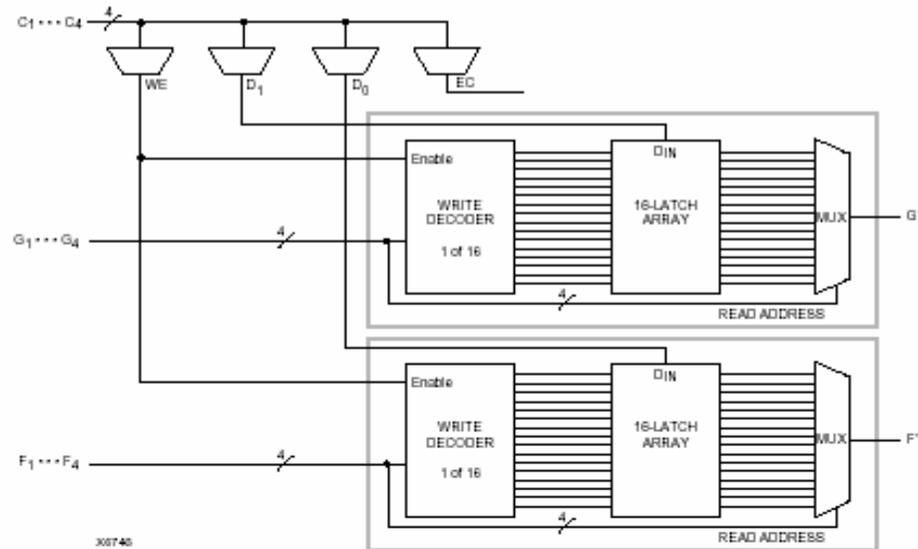


Figure 9: 16x2 (or 16x1) Level-Sensitive Single-Port RAM

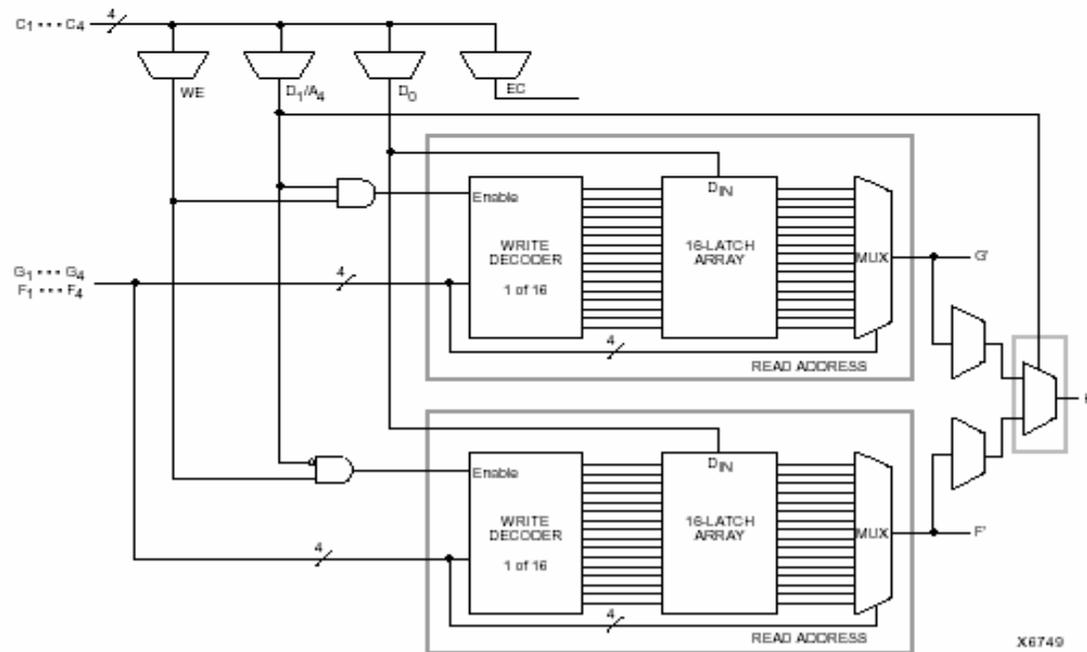
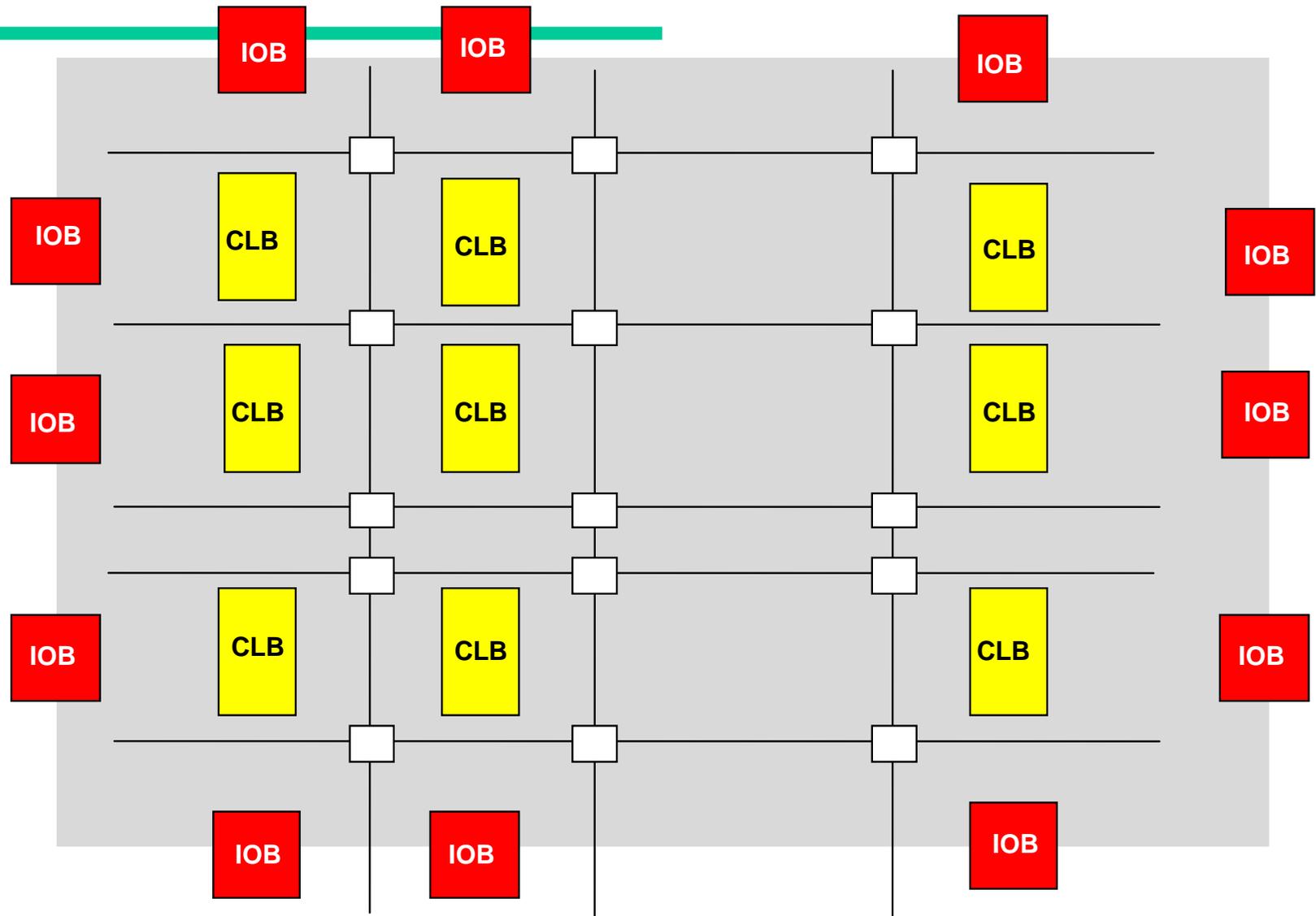


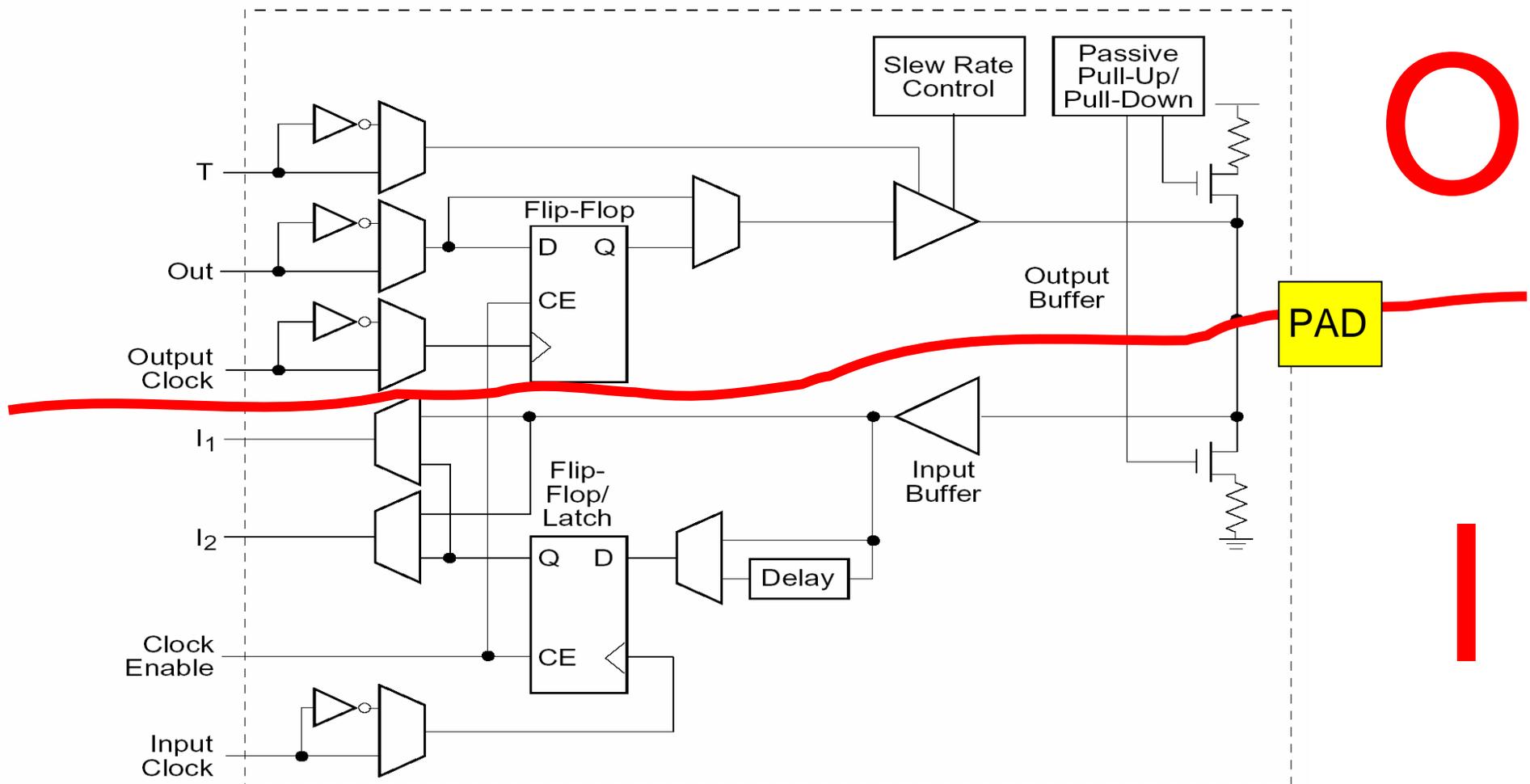
Figure 10: 32x1 Level-Sensitive Single-Port RAM (F and G addresses are identical)



Die E/A-Blöcke



Ein-Ausgabe-Block

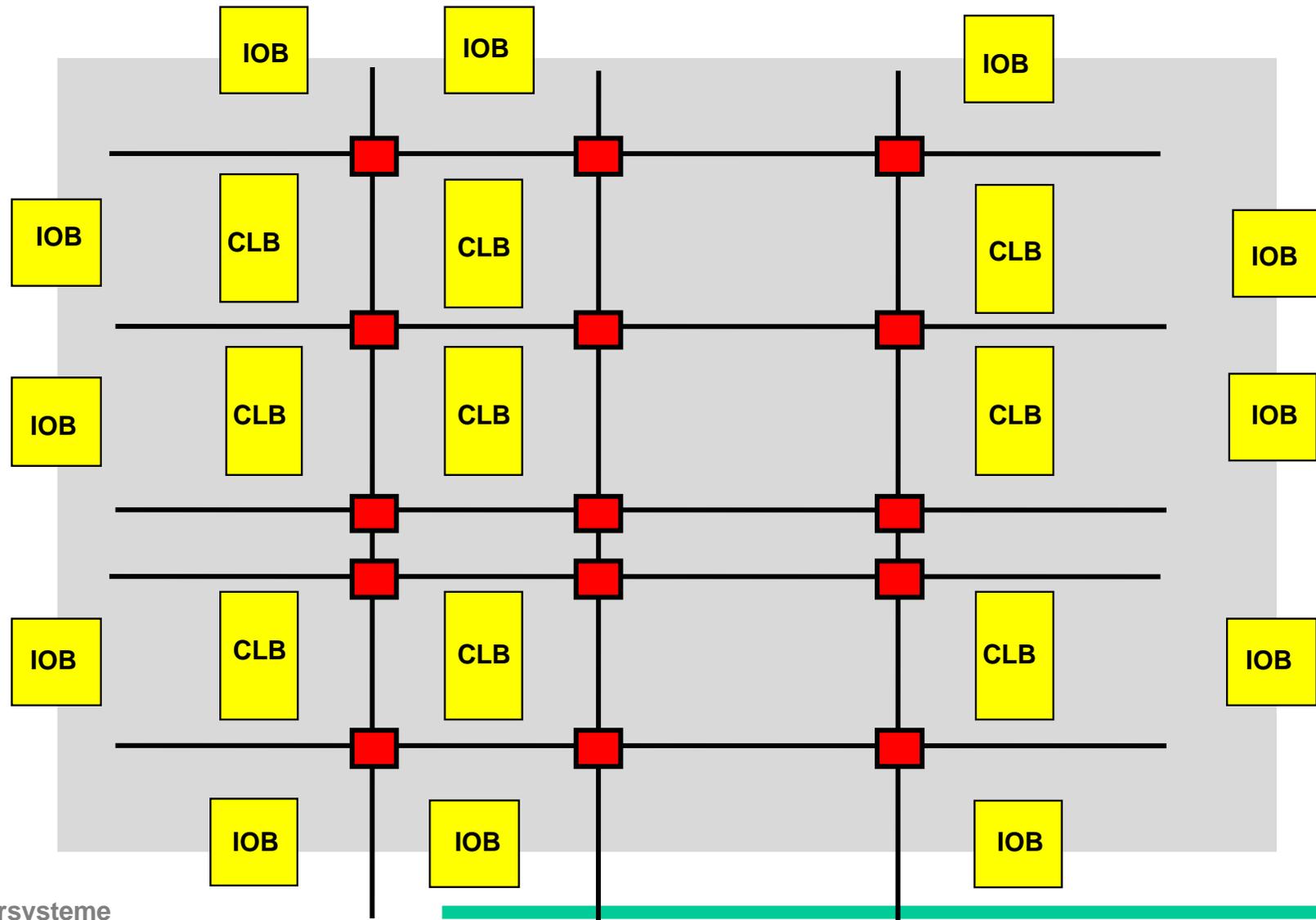


slew rate: Flankensteilheit

T: Tri-State-Control

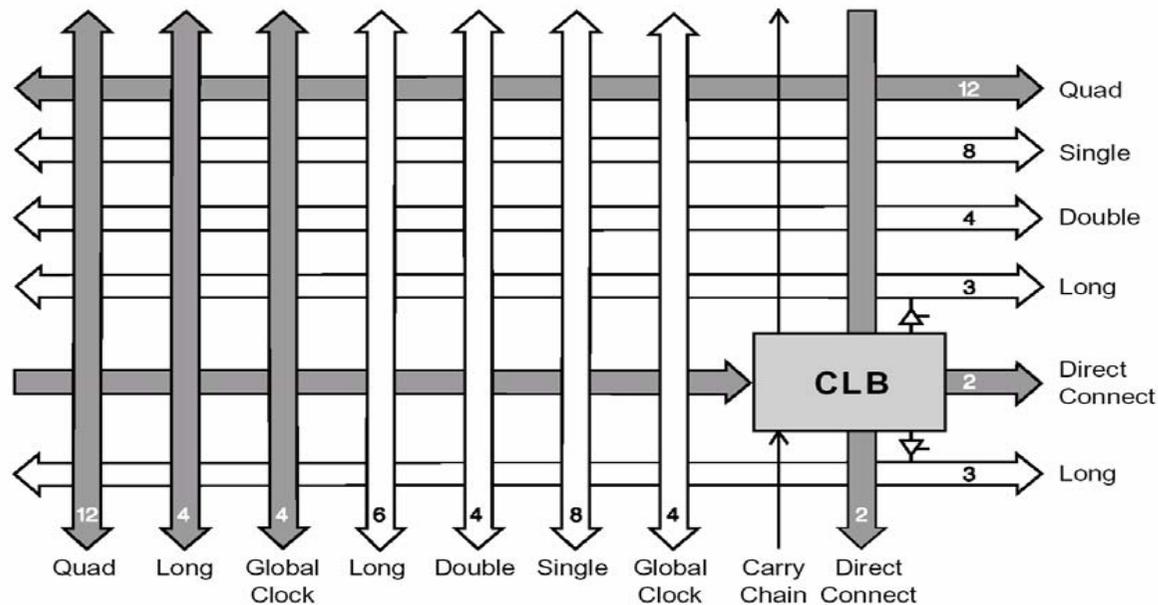


Die Verbindungsstruktur

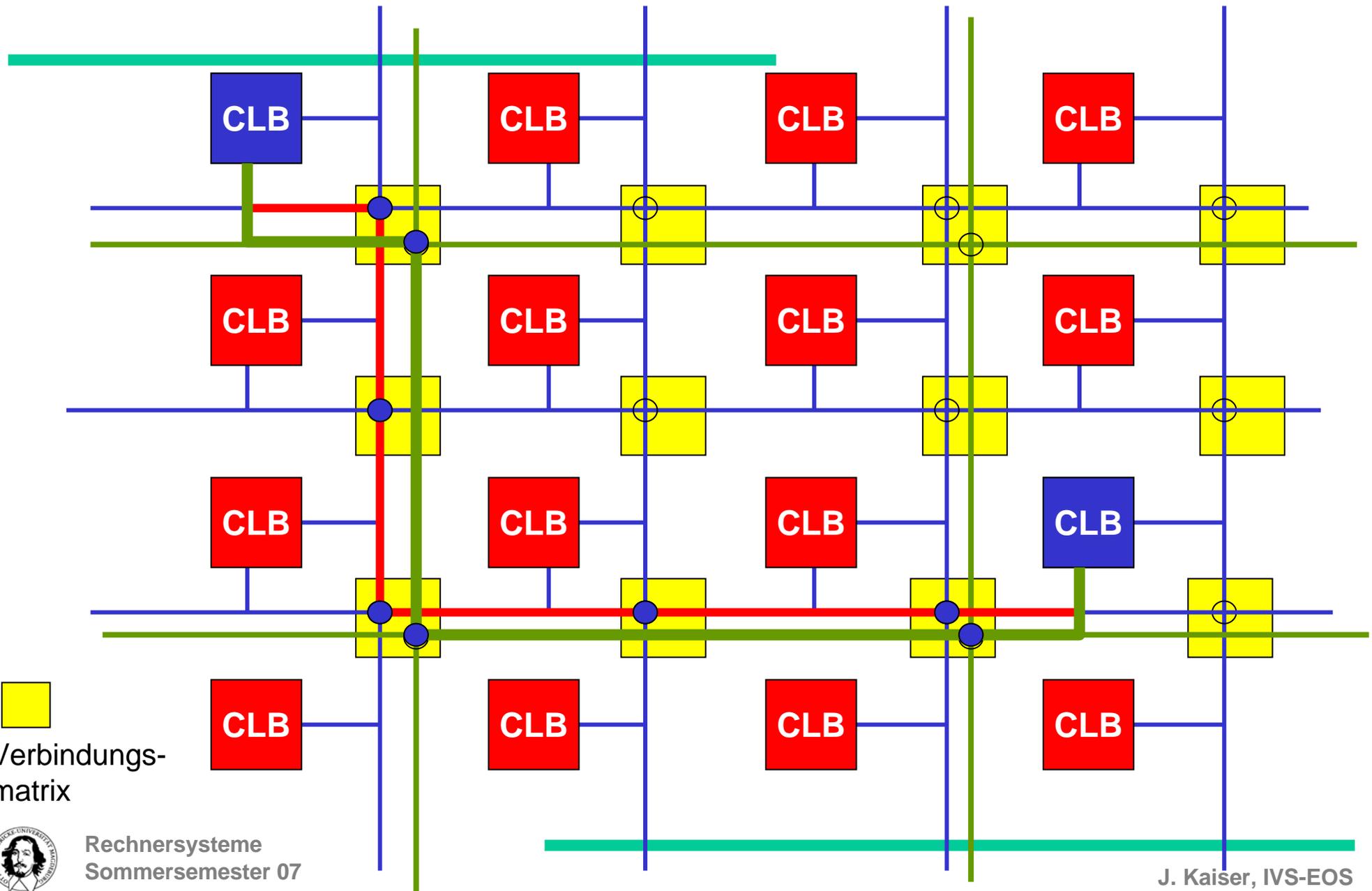


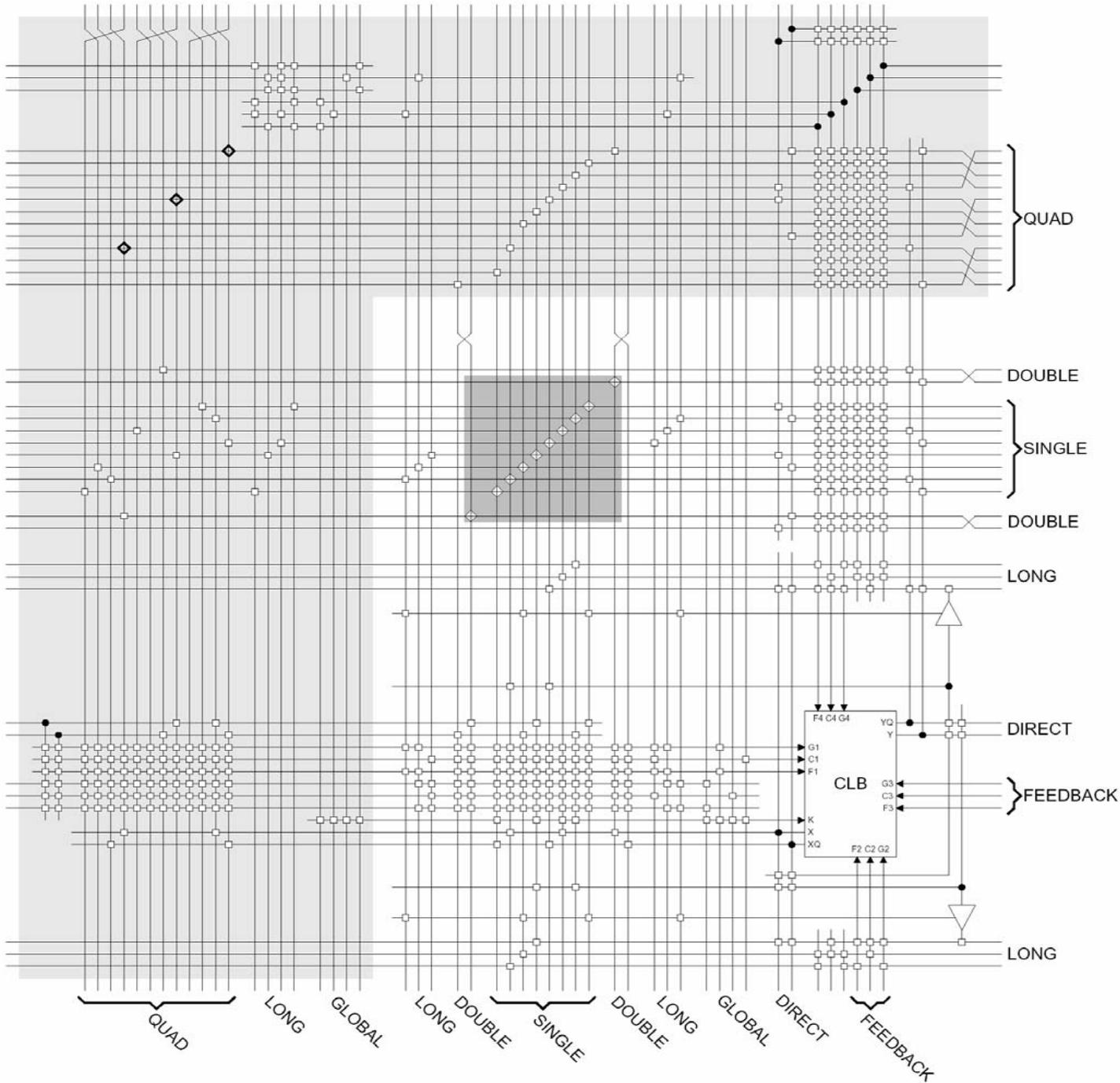
Verbindungstypen:

- direkte Verbindungen zwischen benachbarten CLBs
- lokale Verbindungen („Spannweite: 1,2,4)
- globale Verbindungen



Die Verbindungsstruktur





Verbindungsstruktur für einen CLB



Verbindungen 4000 Serie

	XC4000E		XC4000X	
	Vertical	Horizontal	Vertical	Horizontal
Singles	8	8	8	8
Doubles	4	4	4	4
Quads	0	0	12	12
Longlines	6	6	10	6
Direct Connects	0	0	2	2
Globals	4	0	8	0
Carry Logic	2	0	1	0
Total	24	18	45	32



Gate Array Eigenschaften:

Device	XC4002XL	XC4005	XC4010	XC4013	XC4020	XC4028	XC4036	XC4044	XC4052	XC4062	XC4085
Max Logic Gates	2,000	5,000	10,000	13,000	20,000	28,000	36,000	44,000	52,000	62,000	85,000
CLBs (Row x Column)	64 (8 x 8)	196 (14 x 14)	400 (20 x 20)	576 (24 x 24)	784 (28 x 28)	1,024 (32 x 32)	1,296 (36 x 36)	1,600 (40 x 40)	1,936 (44 x 44)	2,304 (48 x 48)	3,136 (56 x 56)
IOBs	64	112	160	192	224	256	288	320	352	384	448
Flip-Flops	256	616	1,120	1,536	2,016	2,560	3,168	3,840	4,576	5,376	7,168
Bits per Frame	133	205	277	325	373	421	469	517	565	613	709
Frames	459	741	1,023	1,211	1,399	1,587	1,775	1,963	2,151	2,339	2,715
Program Data	61,052	151,910	283,376	393,580	521,832	668,124	832,480	1,014,876	1,215,320	1,433,804	1,924,940
PROM Size (bits)	61,104	151,960	283,424	393,632	521,880	668,172	832,528	1,014,924	1,215,368	1,433,852	1,924,992



Konfiguration von Gate Arrays

Konfigurationsschnittstelle: seriell/byte-parallel

Wie konfigurieren?

1. Internen Speicher löschen,
2. Konfigurationsmodus initialisieren,
3. Konfigurationsdaten laden,
4. In Arbeitszustand versetzen.

